

2/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351:Derwent WPI  
(c) 2004 Thomson Derwent. All rts. reserv.

004324901

WPI Acc No: 1985-151779/ 198525

XPX Acc No: N85-114373

**Computer system register memory address former - feeds memory register  
number from register via AND-gates and OR-gates to address register**

Patent Assignee: IGOSHIN A V (IGOS-I)

Inventor: KOSHCHEEV N G

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
SU 1128253	A	19841207	SU 3378954	A	19820114	198525 B

Priority Applications (No Type Date): SU 3378954 A 19820114

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
SU 1128253	A		3		

Abstract (Basic): SU 1128253 A

Data on the base and relative addresses of the memory registers, passes to the inputs (10) and is read into the bare register (1), address registers (7,3) and register (4) via the AND-gates (5-8) under control of microprocessor signals from the inputs of the coded group (9). The required memory register number selected via a micro-program, passes from one of the registers (2-4) via the AND-gates (11-13) and OR-gate (14) to the least significant digit inputs of the output address register (16).

USE/ADVANTAGE - For computer systems, widens functional possibilities by generating addresses for an arbitrary number of memory registers. Bul.45/7.12.84 (3pp Dwg.No.1/1)

Title Terms: COMPUTER; SYSTEM; REGISTER; MEMORY; ADDRESS; FORMER; FEED;  
MEMORY; REGISTER; NUMBER; REGISTER; AND-GATE; OR-GATE; ADDRESS; REGISTER

Derwent Class: T01

International Patent Class (Additional): G06F-009/36

File Segment: EPI

## © EPODOC / EPO

PN - SU1128253 A 19841207  
 TI - DEVICE FOR GENERATING ADDRESSES OF REGISTER STORAGE  
 PA - IGOSHIN ALEKSANDR V; KOSHCHEEV NIKOLAJ G  
 IN - IGOSHIN ALEKSANDR V; KOSHCHEEV NIKOLAJ G  
 AP - SU19823378954 19820114  
 PR - SU19823378954 19820114  
 DT - I

## © WPI / DERWENT

AN - 1985-151779 [25]  
 TI - Computer system register memory address former - feeds memory register number from register via AND-gates and OR-gates to address register  
 AB - SU1128253 Data on the base and relative addresses of the memory registers, passes to the inputs (10) and is read into the bare register (1), address registers (7,3) and register (4) via the AND-gates (5-8) under control of microprocessor signals from the inputs of the coded group (9). The required memory register number selected via a micro-program, passes from one of the registers (2-4) via the AND-gates (11-13) and OR-gate (14) to the least significant digit inputs of the output address register (16).  
 - USE/ADVANTAGE - For computer systems, widens functional possibilities by generating addresses for an arbitrary number of memory registers. Bul.45/7.12.84 (3pp Dwg.No.1/1)  
 IW - COMPUTER SYSTEM REGISTER MEMORY ADDRESS FORMER FEED MEMORY REGISTER NUMBER REGISTER AND-GATE OR-GATE ADDRESS REGISTER  
 PN - SU1128253 A 19841207 DW198525 003pp  
 IC - G06F9/36  
 MC - T01-F03  
 DC - T01  
 PA - (IGOS-I) IGOSHIN A V  
 IN - KOSHCHEEV N G  
 AP - SU19823378954 19820114  
 PR - SU19823378954 19820114



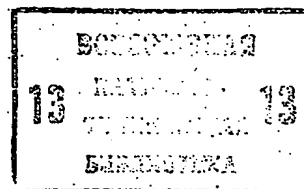
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) **SU** (11) **1128253** **A**

3(51) G 06 F 9/36

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3378954/24-24

(22) 14.01.82

(46) 07.12.84. Бюл. № 45

(72) А.В.Игошин и Н.Г.Кошечев

(53) 681.325 (088.8)

(56) 1.Хилбурн Дж. и Джулич П. Микро-ЭВМ и микропроцессоры. М., "Мир", 1979, с. 238, 248, 288, 381, 412.

2. Процессор ЭВМ С 1020. Под ред. А.М.Ларионова. М., "Статистика", 1975, с. 36-42 (прототип).

(54)(57) УСТРОЙСТВО ДЛЯ ФОРМИРОВАНИЯ АДРЕСОВ РЕГИСТРОВОЙ ПАМЯТИ, содержащее два адресных регистра, регистр общего назначения, шесть блоков элементов И, блок элементов ИЛИ и выходной регистр адреса, выход которого соединен с выходом устройства, первая группа входов выходного регистра адреса соединена с выходом блока элементов ИЛИ, входы которого соединены соответственно с выходами первого, второго и третьего блоков элементов И, управляющие входы которых соединены с одноименными входами первой группы кодовых входов устройства, группы информационных входов первого, второго и третьего блоков элементов И соединены соответственно с выходами первого и второго адресных регистров и регистра общего назначения, входы которых соединены соответственно с выходами

четвертого, пятого и шестого блоков элементов И, управляющие входы которых соединены с первым, вторым и третьим входами второй группы кодовых входов устройства, группы информационных входов четвертого, пятого и шестого блоков элементов И соединены с группой информационных входов устройства, отличающееся тем, что, с целью расширения функциональных возможностей устройства за счет реализации возможности выработки адресов произвольного количества регистров памяти, в него введены регистр базы, седьмой и восьмой блоки элементов И и элемент ИЛИ, при этом выход седьмого блока элементов И соединен с второй группой входов выходного регистра адреса, управляющий вход седьмого блока элементов И соединен с выходом элемента ИЛИ, входы которого соединены с первой группой кодовых входов устройства, группа входов седьмого блока элементов И соединена с группой выходов регистра базы, группа входов которого соединена с группой входов восьмого блока элементов, управляющий вход которого соединен с четвертым входом второй группы кодовых входов устройства, группа входов восьмого блока элементов И соединена с группой информационных входов устройства.

(19) **SU** (11) **1128253** **A**

Изобретение относится к области вычислительной техники и может быть использовано в вычислительных машинах и системах.

Известно устройство формирования адресов, имеющее узел выбора регистров сверхоперативной памяти и микропрограммно-управляемый коммутатор (мультиплексор) [1].

Недостатком данного устройства является реализация обращения к ограниченному количеству регистров общего назначения.

Наиболее близким к предлагаемому по технической сущности является устройство формирования адресов электронно-вычислительной машины ЕС-1020, содержащее два адресных регистра, регистр общего пользования, шесть блоков элементов И, блок элементов ИЛИ, выходной регистр адреса, выход которого соединен с выходом устройства, а вход по младшим разрядам - с выходом блока элементов ИЛИ, входы которого соединены соответственно с выходами четвертого, пятого и шестого блоков элементов И, первые входы которых соединены с первым входом микрооперационных сигналов управления, а вторые входы - соответственно с выходами двух адресных регистров и регистра общего назначения, входы которых соединены с выходами первого, второго и третьего блоков элементов И, первые входы которых соединены с первым входом микрооперационных сигналов управления, а вторые входы - с информационным входом устройства [2].

Недостатком известного устройства является реализация обращения к ограниченному количеству регистров общего назначения.

Целью изобретения является расширение функциональных возможностей устройства за счет реализации возможности выработки адресов произвольного количества регистров памяти.

Поставленная цель достигается тем, что в устройство для формирования адресов регистровой памяти, содержащее два адресных регистра, регистр общего назначения, шесть блоков элементов И, блок элементов ИЛИ и выходной регистр адреса, выход которого соединен с выходом устройства, первая группа входов выходного регистра адреса соединена с выходом блока элементов ИЛИ, входы которого соединены соответственно с выходами первого, второго и третьего блоков элементов И, управляющие входы которых соединены с одноименными входами первой группы кодовых входов устройства, группы информационных входов первого, второго и третьего блоков элементов И соединены соответственно с выходами первого и вто-

рого адресных регистров и регистра общего назначения, входы которых соединены соответственно с выходами четвертого, пятого и шестого блоков элементов И, управляющие входы которых соединены с первым, вторым и третьим входами второй группы кодовых входов устройства, группы информационных входов четвертого, пятого и шестого блоков элементов И соединены с группой информационных входов устройства, введены регистр базы, седьмой и восьмой блоки элементов И и элемент ИЛИ, при этом выход седьмого блока элементов И соединен с второй группой входов выходного регистра адреса, управляющий вход седьмого блока элементов И соединен с выходом элемента ИЛИ, входы которого соединены с первой группой кодовых входов устройства, группа входов седьмого блока элементов И соединена с группой выходов регистра базы, группа входов восьмого блока элементов И, управляющий вход которого соединен с четвертым входом второй группы кодовых входов устройства, группа входов восьмого блока элементов И соединена с группой информационных входов устройства.

На чертеже представлена структурная схема предлагаемого устройства.

Устройство содержит регистр 1 базы, адресные регистры 2 и 3, регистр 4 общего назначения, блоки элементов И 5-8, группу кодовых входов 9 устройства, группу информационных входов 10 устройства, блоки элементов И 11-13, блок элементов ИЛИ 14, группу входов 15 выходного регистра 16 адреса, группу кодовых входов 17 устройства, блок элементов И 18, элемент ИЛИ 19, группу входов 20 выходного регистра адреса 16, выход 21 устройства.

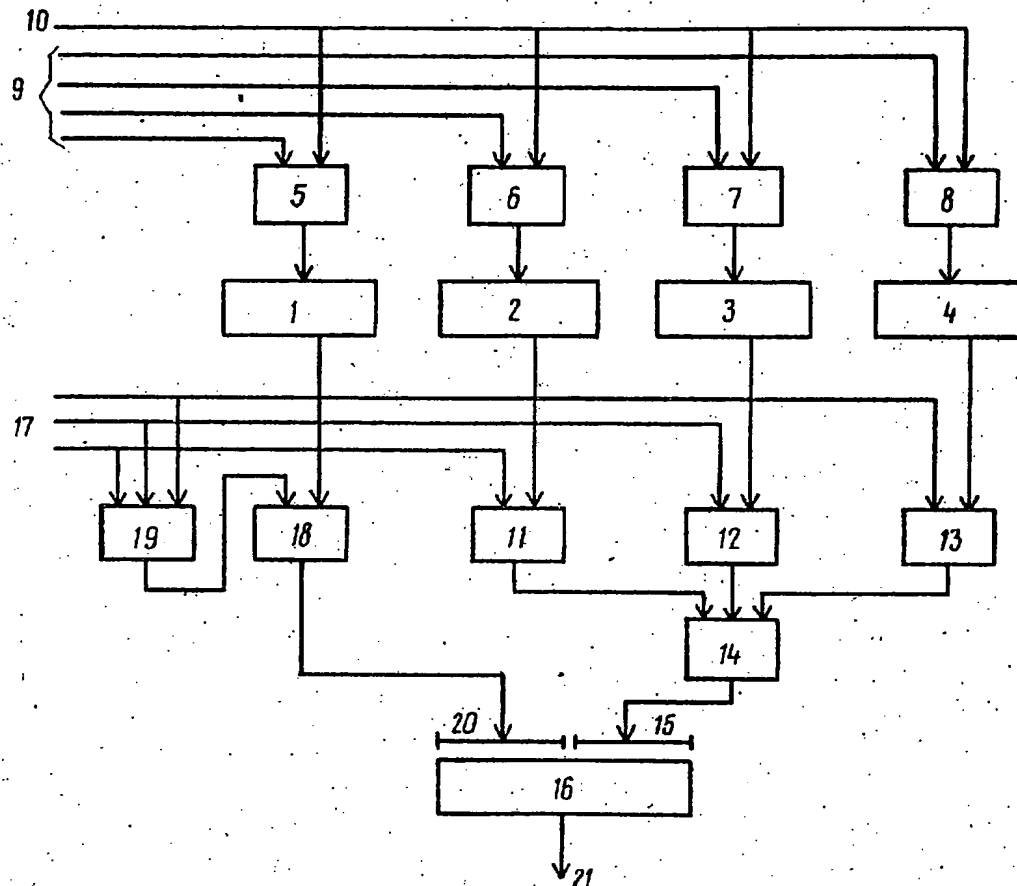
Устройство работает следующим образом.

Информация о базовом и относительных адресах (номерах) регистров памяти поступает на входы 10 и записывается в регистр 1 базы, адресные регистры 2 и 3 и регистр 4 через блоки элементов И 5-8 под управлением микрооперационных сигналов - с входов 9 устройства. Необходимый номер регистра памяти, выбираемый по микропрограмме, с одного из регистров 2-4 через блоки элементов И 11-13 и блок элементов ИЛИ 14 поступает на вход 15 младших разрядов выходного регистра 16 адреса и записывается в него под управлением сигналов с входов 17. Одновременно базовый адрес с выхода регистра 1 через блок элементов И 18 под управлением сигнала, формируемо-

го элементом ИЛИ 19 из микрооперационных сигналов с входов 17, поступает на входы 20 выходного регистра 16 адреса. Далее сформированный исполнительный адрес регистра памяти с выхода регистра 16 адреса по-

ступает на выходы 21 устройства и работа устройства осуществляется известным образом.

5 Применение предлагаемого изобретения позволяет расширить функциональные возможности устройства.



Редактор А.Гратилло Составитель М.Кудряшев Техред С. Мигунова Корректор М.Максимишинцев

Заказ 9063/37

Тираж 698

Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5.

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4